



(51) Internationale Patentklassifikation <sup>7</sup> :  H01L 29/51, 21/28		A2	(11) Internationale Veröffentlichungsnummer: <b>WO 00/45441</b>
			(43) Internationales Veröffentlichungsdatum: 3. August 2000 (03.08.00)
(21) Internationales Aktenzeichen: PCT/DE00/00203		(81) Bestimmungsstaaten: JP, US, europäisches Patent (AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE).	
(22) Internationales Anmeldedatum: 25. Januar 2000 (25.01.00)			
(30) Prioritätsdaten: 199 03 598.9 29. Januar 1999 (29.01.99) DE		Veröffentlicht <i>Ohne internationales Recherchenbericht und erneut zu veröffentlichen nach Erhalt des Berichts.</i>	
(71) Anmelder (für alle Bestimmungsstaaten ausser US): INFINEON TECHNOLOGIES AG [DE/DE]; St.-Martin-Str. 53, D-81541 München (DE).			
(72) Erfinder; und (75) Erfinder/Anmelder (nur für US): BACHHOFER, Harald [DE/DE]; Brahmsstr. 15, D-81677 München (DE). REISINGER, Hans [DE/DE]; Eibseestr. 14, D-82031 Grünwald (DE). HANEDER, Thomas, Peter [DE/DE]; Görzer Str. 96, D-81549 München (DE).			
(74) Gemeinsamer Vertreter: INFINEON TECHNOLOGIES AG; Zedlitz, Peter, Postfach 22 13 17, D-80503 München (DE).			
<p>(54) Title: SEMICONDUCTOR DEVICE WITH A MULTIPLE DIELECTRIC</p> <p>(54) Bezeichnung: HALBLEITERVORRICHTUNG MIT MEHRFACHDIELEKTRIKUM</p> <p>(57) Abstract</p> <p>The invention relates to a semiconductor device with a multiple dielectric, especially an ONO-triple dielectric, comprising a semiconductor substrate (10) of a first conduction type, a first doping area (20) of a second conduction type which is provided in said semiconductor substrate (10), a second doping area (30) of the second conduction type which is provided in the semiconductor substrate (10), a channel area (25) which is situated between the first and the second doping area (20, 30), a gate dielectric (40, 50, 60) which lies on top of the channel area (25) and which has at least three layers; and a gate terminal (70) which is provided on top of the gate dielectric (40, 50, 60). The bottom layer (40) of the gate dielectric (40, 50, 60) has an essentially smaller dielectric constant than the top layer (60) of the gate dielectric (40, 50, 60).</p>			

(57) Zusammenfassung

Die vorliegende Erfindung schafft eine Halbleitervorrichtung mit einem Mehrfachdielektrikum, insbesondere einem ONO-Dreifachdielektrikum, mit einem Halbleitersubstrat (10) eines ersten Leitungstyps; einem im Halbleitersubstrat (10) vorgesehenen ersten Dotierungsbereich (20) eines zweiten Leitungstyps; einem im Halbleitersubstrat (10) vorgesehenen zweiten Dotierungsbereich (30) des zweiten Leitungstyps; einem zwischen dem ersten und dem zweiten Dotierungsbereich (20, 30) liegenden Kanalbereich (25); einem über dem Kanalbereich (25) liegenden Gate-Dielektrikum (40, 50, 60), welches zumindest drei Schichten aufweist; und einem über dem Gate-Dielektrikum (40, 50, 60) vorgesehenen Gate-Anschluß (70). Die unterste Schicht (40) des Gate-Dielektrikums (40, 50, 60) weist eine wesentlich kleinere Dielektrizitätskonstante auf als die oberste Schicht (60) des Gate-Dielektrikums (40, 50, 60).

**LEDIGLICH ZUR INFORMATION**

Codes zur Identifizierung von PCT-Vertragsstaaten auf den Kopfbögen der Schriften, die internationale Anmeldungen gemäß dem PCT veröffentlichen.

AL	Albanien	ES	Spanien	LS	Lesotho	SI	Slowenien
AM	Armenien	FI	Finnland	LT	Litauen	SK	Slowakei
AT	Österreich	FR	Frankreich	LU	Luxemburg	SN	Senegal
AU	Australien	GA	Gabun	LV	Lettland	SZ	Swasiland
AZ	Aserbaidschan	GB	Vereinigtes Königreich	MC	Monaco	TD	Tschad
BA	Bosnien-Herzegowina	GE	Georgien	MD	Republik Moldau	TG	Togo
BB	Barbados	GH	Ghana	MG	Madagaskar	TJ	Tadschikistan
BE	Belgien	GN	Guinea	MK	Die ehemalige jugoslawische Republik Mazedonien	TM	Turkmenistan
BF	Burkina Faso	GR	Griechenland	ML	Mali	TR	Türkei
BG	Bulgarien	HU	Ungarn	MN	Mongolei	TT	Trinidad und Tobago
BJ	Benin	IE	Irland	MR	Mauritanien	UA	Ukraine
BK	Brasilien	IL	Israel	MW	Malawi	UG	Uganda
BY	Belarus	IS	Island	MX	Mexiko	US	Vereinigte Staaten von Amerika
CA	Kanada	IT	Italien	NE	Niger	UZ	Usbekistan
CF	Zentralafrikanische Republik	JP	Japan	NL	Niederlande	VN	Vietnam
CG	Kongo	KE	Kenia	NO	Norwegen	YU	Jugoslawien
CH	Schweiz	KG	Kirgisistan	NZ	Neuseeland	ZW	Zimbabwe
CI	Côte d'Ivoire	KP	Demokratische Volksrepublik Korea	PL	Polen		
CM	Kamerun	KR	Republik Korea	PT	Portugal		
CN	China	KZ	Kasachstan	RO	Rumänien		
CU	Kuba	LC	St. Lucia	RU	Russische Föderation		
CZ	Tschechische Republik	LI	Liechtenstein	SD	Sudan		
DE	Deutschland	LK	Sri Lanka	SE	Schweden		
DK	Dänemark	LR	Liberia	SG	Singapur		
EE	Estland						

## Beschreibung

### Halbleitervorrichtung mit Mehrfachdielektrikum

5 Die vorliegende Erfindung betrifft eine Halbleitervorrichtung mit einem Mehrfachdielektrikum, insbesondere einem ONO-Dreifachdielektrikum mit einem Halbleitersubstrat eines ersten Leitungstyps; einem im Halbleitersubstrat vorgesehenen ersten Dotierungsbereich eines zweiten Leitungstyps; einem im 10 Halbleitersubstrat vorgesehenen zweiten Dotierungsbereich des zweiten Leitungstyps; einem zwischen dem ersten und dem zweiten Dotierungsbereich liegenden Kanalbereich; einem über dem Kanalbereich liegenden Gate-Dielektrikum, welches zumindest drei Schichten aufweist; und einem über dem Gate-Dielektrikum 15 vorgesehenen Gate-Anschluß.

Obwohl auf beliebige Halbleitervorrichtungen anwendbar, werden die vorliegende Erfindung sowie die ihr zugrundeliegende Problematik in bezug auf MOS-Feldeffekt-Transistoren mit einem ONO-Dreifachdielektrikum erläutert.

Allgemein kommen MOS-Feldeffekt-Transistoren mit ONO-Dreifachdielektrikum ( $\text{SiO}_2$  -  $\text{Si}_3\text{N}_4$  -  $\text{SiO}_2$ ) in der Silizium-Halbleitertechnologie als nichtflüchtige Speicher (EEPROM) zum Einsatz. Solche sogenannten SONOS-Transistoren besitzen gegenüber Floating-Gate-Transistoren zahlreiche Vorteile. Zum einen zeichnen sie sich durch eine wesentlich geringere Defektdichte und eine einfachere Zellstruktur aus. Zum anderen führt ein Defekt im Gatedielektrikum nicht zum vollständigen 25 Verlust der gespeicherten Ladung, da im Gegensatz zu Floating-Gate-Transistoren die Ladung in einer nichtleitenden 30 Schicht gespeichert ist.

Zukünftige EEPROM-Anwendungen fordern neben hoher Zuverlässigkeit, hohen Packungsdichten und langer Datenhaltung vor allem niedrige Programmierspannungen und kurze Programmierzeiten. Floating-Gate-Transistoren können aufgrund sinkender  
5 Zuverlässigkeit bei dünnerem Tunneloxid die Dicke dieser Schicht nicht unter 8 nm reduzieren. Folglich können die Programmierspannungen nicht weiter sinken.

Heutige Floating-Gate-Speicher arbeiten mit einer Spannung  
10 von ca. 12 V. Moderne SONOS-Speicher sind auf ca. 10 nm Gate-dielektrikum reduziert und besitzen Programmierspannungen unter 10 V. Siehe dazu auch M. L. French, C.-Y. Chen, H. Sathianathan, M. H. White, IEEE Trans. Comp., Packaging, and Manufacturing Tech. - Part A, Vol. 17, No. 3, 390-397 (1994) sowie T. Böhm, A. Nakamura, H. Aosaza, M. Yamagishi, Y. Komatsu, Jpn. J. Appl. Phys., Vol. 35, 898-901 (1996).

Die der vorliegenden Erfindung zugrundeliegende Aufgabe besteht darin, die Programmierspannungen von SONOS-Transistoren  
20 noch weiter zu senken oder wahlweise deren Datenhaltungszeit oder Löschgeschwindigkeit zu erhöhen.

Erfnungsgemäß wird diese Aufgabe durch die in Anspruch 1 angegebene Halbleitervorrichtung gelöst.

25 Die erfundungsgemäße Halbleitervorrichtung weist gegenüber den bekannten Lösungsansätzen den Vorteil auf, daß über der obersten Schicht des Gatedielektrikums eine geringere Spannung abfällt und somit dort geringere unerwünschte Leckströme  
30 fließen.

Die der vorliegenden Erfindung zugrundeliegende Idee besteht darin, daß eine Halbleitervorrichtung mit einem Mehrfachdielektrikum, insbesondere einem ONO-Dreifachdielektrikum, im  
35 Gatestapel vorgesehen wird. Die unterste Schicht des Gate-

Dielektrikums weist eine wesentlich kleinere Dielektrizitätskonstante auf als die oberste Schicht des Gate-Dielelektrikums.

5 In den Unteransprüchen finden sich vorteilhafte Weiterbildungen und Verbesserungen der in Anspruch 1 angegebenen Halbleitervorrichtung.

10 Gemäß einer bevorzugten Weiterbildung weist das Gate-Dielelektrikum eine  $\text{SiO}_2$ -Schicht als unterste Schicht und eine darüberliegende  $\text{Si}_3\text{N}_4$ -Schicht auf.

15 Gemäß einer weiteren bevorzugten Weiterbildung weist das Gate-Dielelektrikum als oberste Schicht eine Schicht aus mindestens einem der folgenden Materialien auf:  $\text{Al}_2\text{O}_3$ ,  $\text{HfO}$ ,  $\text{CeO}_2$ ,  $\text{ZrO}_2$ ,  $\text{Ta}_2\text{O}_5$ ,  $\text{Y}_2\text{O}_3$ ,  $\text{TiO}_2$ .

20 Gemäß einer weiteren bevorzugten Weiterbildung weist der Gate-Anschluß mindestens eines der folgenden Materialien auf: Pt, Au, W, Ir oder Silizide oder TiN oder polykristallines p-dotiertes Silizium.

25 Gemäß einer weiteren bevorzugten Weiterbildung handelt es sich um einen MOS-Feldeffekttransistor in Silizium-Technologie.

30 Ausführungsbeispiele der Erfindung sind in den Zeichnungen dargestellt und in der nachfolgenden Beschreibung näher erläutert.

35 Es zeigen:

Fig. 1 eine schematische Darstellung einer Ausführungsform der erfindungsgemäßen Halbleitervorrichtung in Form eines MOS-Feldeffekttransistors;

Fig. 2 das Bändermodell einer feldfreien SONOS-Struktur (Flachbandzustand) mit p-Substrat und n<sup>+</sup>-Gate;

5 Fig. 3 den Zustand einer SONOS-Struktur, an deren Gate eine positive äußere Spannung angelegt ist; und

FIG. 4 den Zustand einer SONOS-Struktur, an deren Gate eine negative äußere Spannung angelegt ist.

10 Fig. 2 zeigt das Bändermodell einer feldfreien SONOS-Struktur (Flachbandzustand) mit p-Substrat und n<sup>+</sup>-Gate, wie aus J. T. Wallmark, J. H. Scott, RCA Rev., Vol. 30, 335-381 (1969) bekannt.

15 Wie aus Fig. 2 zu ersehen ist, liegt im Nitrid das Leitungsband höher und das Valenzband tiefer als im Substrat bzw. im Poly-Gate. Deshalb wird es ohne angelegte äußere Spannung zu keiner Ladungsinjektion ins Nitrid kommen.

20 Fig. 3 und Fig. 4 kennzeichnen den Zustand einer SONOS-Struktur, an deren Gate eine positive bzw. negative äußere Spannung angelegt ist.

25 Die geringere Dicke des Bottom-Oxids gegenüber der des Top-Oxids ermöglicht es, Ladungsträger vorzugsweise aus dem Substrat und nicht aus dem Gate zu injizieren, wie unten näher beschrieben.

30 In Fig. 3 entsteht an der Halbleiteroberfläche eine Inversionsschicht und Elektronen können durch das dünne Bottom-Oxid in das durch das elektrische Feld nach unten gezogene Leitungsband im Nitrid tunneln (1). Dort werden sie an lokalisierte Haftstellen gebunden und wandern mittels Poole-Frenkel-Leitung weiter in das Nitridvolumen hinein. Dies 35 hat eine Aufladung der Nitrid-Schicht mit Elektronen zur Fol-

ge. Daraus resultiert eine Verschiebung der Flachbandspannung in positiver Richtung. Elektronen, die durch das elektrische Feld im Nitrid bis zum Top-Oxid driftten, tunneln teilweise durch das Top-Oxid und fließen über das Gate ab (2).

5

Außerdem werden Locher vom Valenzband des Polysiliziums durch das Top-Oxid ins Valenzband des Nitrids injiziert (3). Die Ladungsinjektion von Lochern ist aber aufgrund der größeren Oxiddicke und höheren Potentialbarriere wesentlich unwahrscheinlicher. Mit steigender Ladung im Nitrid erniedrigt sich (1) und (2) steigt an. Werden diese Strombeiträge gleich groß, wird Netto keine zusätzliche Ladung ins Nitrid injiziert, d.h. die Verschiebung der Flachbandspannung geht in Sättigung.

15

Das Programmieren mit positiver Spannung wird nach allgemeiner Konvention als Schreiben bezeichnet. Bei heutigen Anwendungen sind die Programmierzeiten beim Schreiben zu kurz, als daß dieser Gleichgewichtszustand erreicht werden könnte.

20

In Fig. 4 tunneln Locher vom Valenzband des Substrats ins Valenzband des Nitrids (4) und rekombinieren mit den bereits injizierten Elektronen und führen so zum Löschen der gespeicherten Ladung. Außerdem ist es möglich, daß Elektronen, die durch Schreiben zuvor ins Nitrid injiziert wurden, zurück ins Substrat tunneln (5).

Die Flachbandspannung und somit die Einsatzspannung wird in negativer Richtung verschoben. Löcher, die sich in Richtung des Top-Oxids bewegen und ins Gate tunneln, sind zu vernachlässigen (6). Vielmehr können jedoch Elektronen vom Leitungsband des Poly-Gates ins Nitrid tunneln (7).

Durch die sinkende negative Ladung bzw. Akkumulation positiver Ladung im Nitrid vergrößert sich im Laufe des Löschvor-

gangs das elektrische Feld im Top-Oxid und fuhrt somit zu verstärktem Elektronentunnellen (7). Letztendlich kommt es zum Gleichgewicht zwischen (4)/(5) und (7). Als Netto-Effekt wird keine weitere Ladung im Nitrid getrappt.

5

Es sei hier angemerkt, daß diese Gleichgewichtssituation dadurch ermöglicht wird, daß die Dicke der Potentialbarriere für Elektronen am Top-Oxid zwar größer, deren Höhe gegenüber der für Locher am Bottom-Oxid aber kleiner ist.

10 Der störende Einfluß des konkurrierenden Prozesses der Ladungsinjektion aus der Gate-Elektrode tritt weniger beim Schreiben als vielmehr beim Löschen auf. Beim Löschen begibt sich die Verschiebung der Einsatzspannung umso früher in Sättigung, je größer (absolut) die angelegte Spannung ist.

15

Um die Einsatzspannung auf den ursprünglichen Wert (vor dem Schreiben) zurückzustellen, darf die angelegte Spannung also einen gewissen Wert nicht überschreiten. Dies verhindert kürzere Löschzeiten.

20

In den bisher üblichen SONOS-Transistoren besteht das Drei-fach-Dielektrikum aus der Schichtfolge  $\text{SiO}_2$  -  $\text{Si}_3\text{N}_4$  -  $\text{SiO}_2$ . Im ladungsfreien Zustand ist das elektrische Feld in Bottom- und Top-Oxid somit gleich groß. Im Verlauf der Injektion von Ladungsträgern erniedrigt sich das elektrische Feld im Bottom-Oxid und erhöht sich im Top-Oxid.

25 Ersetzt man das Dielektrikum  $\text{SiO}_2$  ( $\epsilon_r=4$ ) im Top-Dielektrikum durch ein Material mit einer größeren Dielektrizitäts-

konstanten, erniedrigt sich das elektrische Feld im Top-Oxid. Für den Fall, daß das Dielektrikum noch nicht geladen ist und sich an den Grenzflächen keine Oberflächenladungen befinden, liefert der Gaußsche Satz:

35

$$E_{\text{Top-Oxid}} / E_{\text{Bottom-Oxid}} = \epsilon_{\text{Top-Oxid}} / \epsilon_{\text{Bottom-Oxid}} \quad (1)$$

wobei  $E_{\text{Top-Oxid}}$  das elektrische Feld des Top-Oxids,  $E_{\text{Bottom-Oxid}}$  das elektrische Feld des Bottom-Oxids,  $\epsilon_{\text{Top-Oxid}}$  die Dielektrizitätskonstante des Top-Oxids und  $\epsilon_{\text{Bottom-Oxid}}$  die Dielektrizitätskonstante des Bottom-Oxids bezeichnen.  
5

Tunnelströme durch das Top-Oxid werden je nach vorliegendem elektrischen Feld und Barrierenhöhe entweder durch Fowler-Nordheim-, modifiziertes Fowler-Nordheim- oder direktes Tunneln beschrieben.  
10

Vereinfacht dargestellt gilt für alle drei Mechanismen im wesentlichen folgende Abhängigkeit des Tunnelstroms  $j$  vom elektrischen Feld  $E$  und Barrierenhöhe  $\phi_B$ :

15

$$j \sim 1/\phi_B E^2 \exp(-\phi_B^{3/2}/E) \quad (2)$$

Bei einem Dielektrikum mit  $\epsilon_r=20$  und halber Barrierenhöhe ( $\phi_B = 1.5 - 2.0$  eV) im Vergleich zu  $\text{SiO}_2$  verringert sich der Tunnelstrom durch das Top-Dielektrikum bereits um ein bis zwei Größenordnungen.  
20

Bei Dielektrika mit  $\epsilon_r=100$  und  $\phi_B = 1.5 - 2.0$  eV verringert sich der Tunnelstrom rechnerisch sogar um 6 Größenordnungen.  
25

Im Gegensatz zu herkömmlichen SONOS-Transistoren ergeben sich dabei folgende Auswirkungen:

1. Bei gleichbleibender Spannung fällt von dieser ein größerer Anteil über dem Bottom-Oxid und ein kleinerer über dem Top-Dielektrikum ab. Dies führt zu erhöhter Ladungsinjektion vom Substrat und damit zu kürzeren Programmierzeiten.  
30

2. Außerdem tritt beim Löschen der oben geschilderte Gleichgewichtszustand erst später ein. Da man Transistoren mit den neuen Top-Materialien bei gleicher Programmierspannung zu niedrigeren Einsatzspannungen verschieben kann, kann man, um bei der gleichen Einsatzspannung zu landen, zu betragsmäßig höheren Spannungen übergehen. Das Löschen geht dann natürlich noch schneller.
- 10 3. Ist man weniger an kürzeren Programmierzeiten interessiert, so kann man bei gleichbleibenden Zeiten die Programmierspannungen wesentlich erniedrigen.
- 15 4. Jede Kombination aus 1. und 3. ist denkbar.
- 20 5. Für die Datenhaltung (retention time) ist vor allem die Dicke des Bottom-Oxids entscheidend. Aufgrund ihres eigenen Feldes tunneln Ladungsträger aus dem Nitrid durch das dünne Bottom-Oxid zurück ins Substrat. Erhöht man die Dicke des Bottom-Oxids von beispielsweise 2 nm auf 3 nm, ist eine um Größenordnungen bessere Datenhaltung möglich. Um gleiche Programmierzeiten zu gewährleisten, muß die Spannung geringfügig angehoben werden, bleibt aber immer noch unter der herkömmlicher SONOS-Transistoren.
- 25 Die polykristalline Struktur dieser Materialien und ein damit verbundener erhöhter Leckstrom an den Korngrenzen spielt für die Datenhaltung keine Rolle, da im Nitrid die Ladungen an lokalisierten Haftstellen gespeichert sind.
- 30 Fig. 1 zeigt eine schematische Darstellung einer Ausführungsform der erfindungsgemäßen Halbleitervorrichtung in Form eines MOS-Feldeffekttransistors.
- 35 In Fig. 1 bezeichnen 10 ein p-Silizium-Substrat, 20 eine n<sup>+</sup>-

Source, 25 einen Kanalbereich, 30 einen n<sup>+</sup>-Drain, 40 ein Bottom-Oxid, 50 ein Si<sub>3</sub>N<sub>4</sub>-Dielektrikum, 60 ein Top-Oxid, 70 einen Gate-Anschluß und U<sub>G</sub> eine Gate-Vorsorgungsspannung (Substrat 10 liegt in diesem Beispiel auf Masse).

5

Als Top-Dielektrikum 60 verwendet man bei diesem Ausführungsbeispiel ein oder mehrere Materialien mit einer hohen Dielektrizitätskonstanten (relativ zu SiO<sub>2</sub>, welches das Bottom-Dielektrikum bildet), nämlich z.B. Al<sub>2</sub>O<sub>3</sub> ( $\epsilon_r=12$ ), HfO, CeO<sub>2</sub>, 10 ZrO<sub>2</sub>, Ta<sub>2</sub>O<sub>5</sub>, Y<sub>2</sub>O<sub>3</sub> (alle etwa  $\epsilon_r=20$ ) oder TiO<sub>2</sub> (je nach Textur bis zu  $\epsilon_r=100$ ).

Das Dreifach-Dielektrikum eines solchen SONOS-Transistors hat somit folgende Struktur:

15

SiO<sub>2</sub> - Si<sub>3</sub>N<sub>4</sub> - (Al<sub>2</sub>O<sub>3</sub> und/oder HfO und/oder CeO<sub>2</sub> und/oder ZrO<sub>2</sub> und/oder Ta<sub>2</sub>O<sub>5</sub> und/oder Y<sub>2</sub>O<sub>3</sub> und/oder TiO<sub>2</sub>).

Als Gate-Anschluß 70 verwendet man vorzugsweise Materialien 20 mit hohen Austrittsarbeiten. Hier sind beispielsweise die Metalle Pt, Au, W, Ir oder Silizide oder TiN oder polykristallines p-dotiertes Silizium (für p<sup>+</sup>-Polysilizium siehe H. Reisinger, M. Franosch, B. Hasler, T. Böhm, 1997 Symp. on VLSI Technol. Dig. of Tech. Papers, 1 13-1 14) zu nennen.

25

Aufgrund der höheren Potentialbarriere erreicht man dadurch eine verminderte Tunnelwahrscheinlichkeit für Elektronen aus dem Gate (beim Löschen). Sowohl n- als auch p-Kanal-Transistoren sind mit diesen Dreifach-Dielektrika realisierbar.

30

Obwohl die vorliegende Erfindung vorstehend anhand bevorzugter Ausführungsbeispiele beschrieben wurde, ist sie darauf nicht beschränkt, sondern auf vielfältige Art und Weise modifizierbar.

## Patentansprüche

1. Halbleitervorrichtung mit einem Mehrfachdielektrikum, insbesondere einem ONO-Dreifachdielektrikum, mit:

5

einem Halbleitersubstrat (10) eines ersten Leitungstyps;

einem im Halbleitersubstrat (10) vorgesehenen ersten Dotierungsbereich (20) eines zweiten Leitungstyps;

10

einem im Halbleitersubstrat (10) vorgesehenen zweiten Dotierungsbereich (30) des zweiten Leitungstyps;

15

einem zwischen dem ersten und dem zweiten Dotierungsbereich (20, 30) liegenden Kanalbereich (25);

einem über dem Kanalbereich (25) liegenden Gate-Dielektrikum (40, 50, 60), welches zumindest drei Schichten aufweist; und

20

einem über dem Gate-Dielektrikum (40, 50, 60) vorgesehenen Gate-Anschluß (70);

dadurch gekennzeichnet, daß

25

die unterste Schicht (40) des Gate-Dielektrikums (40, 50, 60) eine wesentlich kleinere Dielektrizitätskonstante aufweist als die oberste Schicht (60) des Gate-Dielektrikums (40, 50, 60).

30

2. Halbleitervorrichtung nach Anspruch 1, dadurch gekennzeichnet, daß das Gate-Dielektrikum (40, 50, 60) eine  $\text{SiO}_2$ -Schicht (40) als unterste Schicht und eine darüberliegende  $\text{Si}_3\text{N}_4$ -Schicht (50) aufweist.

3. Halbleitervorrichtung nach Anspruch 1 oder 2, dadurch gekennzeichnet, daß das Gate-Dielektrikum (40, 50, 60) als oberste Schicht (60) eine Schicht aus mindestens einem der folgenden Materialien aufweist:  $\text{Al}_2\text{O}_3$ ,  $\text{HfO}_2$ ,  $\text{CeO}_2$ ,  $\text{ZrO}_2$ ,  $\text{Ta}_2\text{O}_5$ ,  
5  $\text{Y}_2\text{O}_3$ ,  $\text{TiO}_2$ .

4. Halbleitervorrichtung nach einem der vorhergehenden Ansprüche, dadurch gekennzeichnet, daß der Gate-Anschluß (70) mindestens eines der folgenden Materialien aufweist: Pt, Au,  
10 W, Ir oder Silizide oder TiN oder polykristallines p-dotiertes Silizium.

5. Halbleitervorrichtung nach einem der vorhergehenden Ansprüche, dadurch gekennzeichnet, daß es sich um einen MOS-Feldeffekttransistor in Silizium-Technologie handelt.  
15

1/2

FIG 1

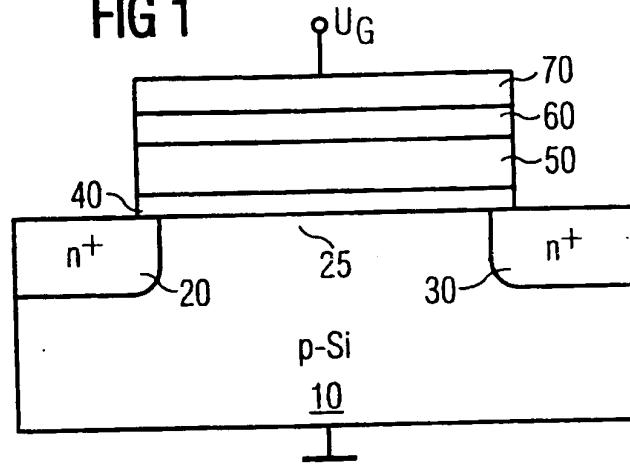
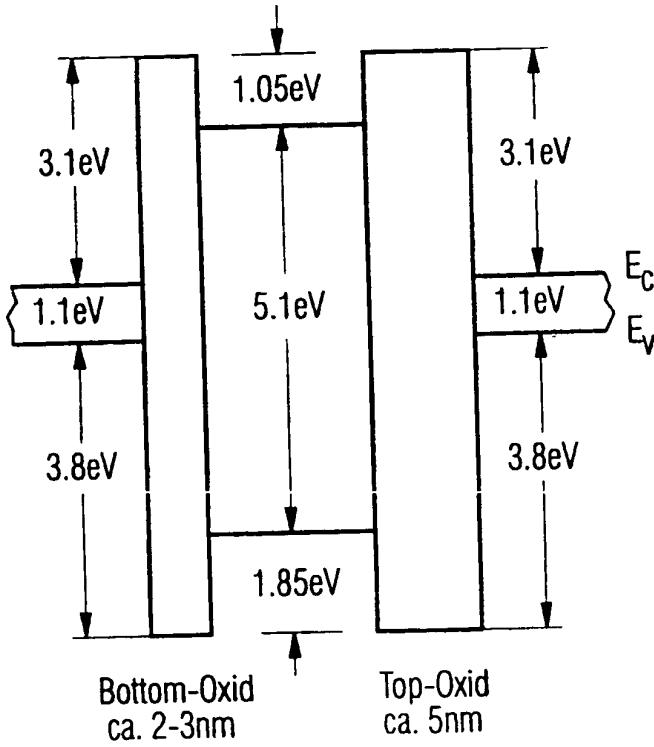
Substrat SiO<sub>2</sub> Si<sub>3</sub>N<sub>4</sub> SiO<sub>2</sub> Poly-Gate

FIG 2



2/2

FIG 4

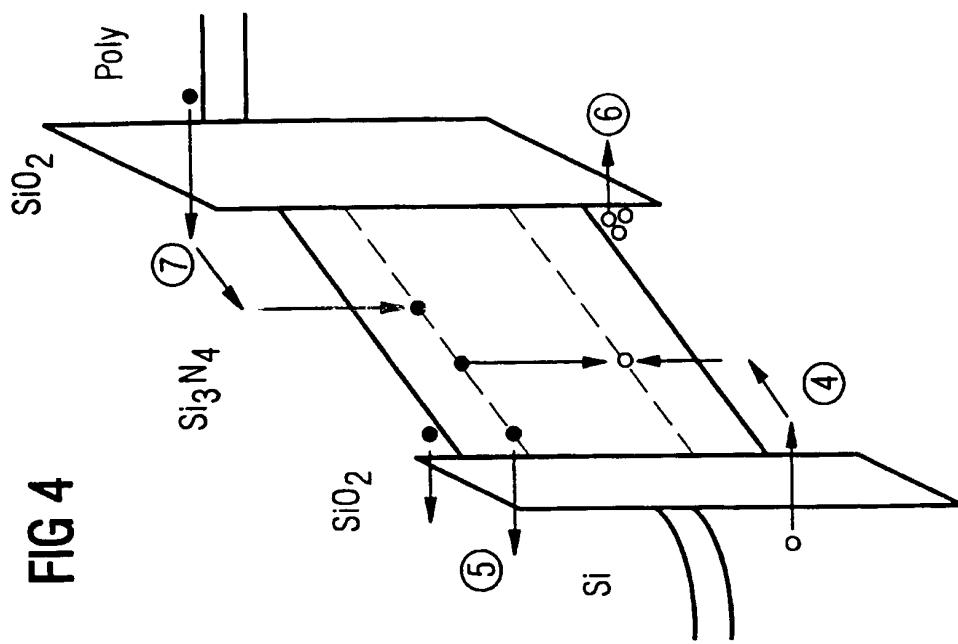


FIG 3

